

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-028878

(43)Date of publication of application : 04.02.1994

(51)Int.Cl. G11C 16/06  
 G11C 29/00  
 H01L 27/10  
 H01L 29/788  
 H01L 29/792

(21)Application number : 04-081237

(71)Applicant : TOSHIBA CORP

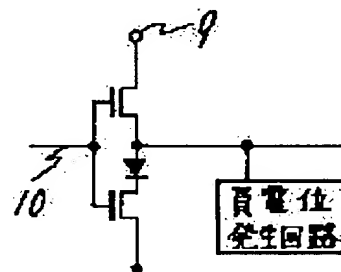
(22)Date of filing : 03.04.1992

(72)Inventor : MIYAMOTO JUNICHI

**(54) WORD LINE DRIVE CIRCUIT****(57)Abstract:**

**PURPOSE:** To unnecessitate a high voltage transistor for separation, to quicken startup and to facilitate the adoption of a redundant word line by connecting a diode between the output node of an inverter and an NMOS Tr, and connecting a negative potential generation circuit to the output node.

**CONSTITUTION:** The diode is inserted between the output node of the inverter consisting of a PMOS transistor and the NMOS transistor and NMOS transistor, and further, the negative potential generation circuit is connected to the output node. Thus, since the diode is biased in a reverse direction even when a word line is driven to negative potential, the drain of the NMOS transistor is not reverse-biased for a P type substrate, and a high breakdown voltage transistor for separation is unnecessitated. Further, since it is not necessary that negative potential is impressed at a reading time, the start up from a stand-by is quickened, and the adoption of the redundant word line is facilitated.

**LEGAL STATUS**

[Date of request for examination] 01.06.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2519857

[Date of registration] 17.05.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-28878

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
29/00	3 0 1 B	6741-5L		
H 0 1 L 27/10	4 8 1	8728-4M		
		6741-5L		
			G 1 1 C 17/ 00	3 0 9 F
			H 0 1 L 29/ 78	3 7 1
			審査請求 有	請求項の数 2(全 5 頁) 最終頁に続く

(21)出願番号 特願平4-81237

(22)出願日 平成4年(1992)4月3日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 宮本 順一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

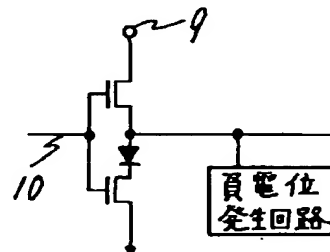
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 ワード線駆動回路

(57)【要約】

【構成】本発明のワード線駆動回路は、PMOSトランジスタとNMOSトランジスタからなるインバータの出力ノードとNMOSトランジスタとの間にダイオードが挿入されている。また、出力ノードに負電位発生回路が接続されている。

【効果】本発明によれば、分離用の高耐圧トランジスタを必要とせず、スタンバイ時からの立上がりが速く、冗長ワード線の採用が容易なワード線駆動回路を提供できる。



1

## 【特許請求の範囲】

【請求項1】 入力端子とワード線に接続された出力端子とを有するワード線駆動回路において、ソースが第1の電位にゲートが前記入力端子にドレインが前記出力端子に接続されたPMOSトランジスタと、ソースが第2の電位にゲートが前記入力端子に接続されたNMOSトランジスタと、カソードが前記NMOSトランジスタのドレインにアノードが前記出力端子に接続されたダイオードと、前記出力端子を負電位に駆動する回路とを具備すること

10 を特徴とするワード線駆動回路。

【請求項2】 前記ダイオードがショットキーバリアダイオードであることを特徴とする請求項1記載のワード線駆動回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、積層（スタック）ゲート型不揮発性メモリセルを有する半導体記憶装置に関する。特に、電氣的に書き込み可能で一括消去型メモリ（FlashEEPROM）の制御ゲートの駆動回路に

【0002】

【従来の技術】EEPROM（Electrically Erasable Programmable）は、電氣的にデータの消去・書き込みが行なえ、しかも、不揮発性、すなわち、電源を切ってもデータが消えない性質を有する。このEEPROMのうちで、データを一括して消去するものにフラッシュEEPROMがある。

【0003】【図9】に、スタックゲート型二層ポリシリコン構造のフラッシュEEPROMセルの断面図を示す。データのプログラムは、制御ゲート1に第一の高電圧 $V_{pp}$ （約10V）を印加し、ドレイン2に、第二の電圧 $V_{ppd}$ （約7V）を印加して、チャンネルに電流を流す。すると、ドレイン近傍で高いエネルギーを持った電子の一部が、浮遊ゲート3に注入され、このセルのしきい値が上昇する。消去は、例えばソース4にプラス（約5V）、制御ゲートにマイナスの電圧 $-V_{ee}$ （約-10V）を印加して行う。浮遊ゲート内に蓄積されていた電子は、第一ゲート酸化膜5のトンネル電流によってソース方向に放出され、セルのしきい値は減少する。データの読みだしは、制御ゲートに読みだし電圧 $V_{cc}$ （約5V）を印加し、ドレインからソース方向に流れる電流を検出しておこなう。もし、セルのしきい値が $V_{cc}$ より低ければ電流は流れるが、 $V_{cc}$ より高ければ電流は流れない。慣例に従って、前者をデータ“1”、後者をデータ“0”と定義しておく。

【0004】さて、制御ゲートには、以上説明したように、書き込み時には、高電圧 $V_{pp}$ 、読みだし時は、 $V_{cc}$ 、消去時には、 $-V_{ee}$ を印加する必要がある、この制御ゲートを駆動するワードライン駆動回路として、通

2

常のCMOSゲートにマイナス電位発生回路を接続するだけでは、この機能は、実現出来ない。ワード線をマイナスに振込もうとしたとき、NMOSのドレインがP基板に対して順方向にバイアスされるため、ここで電位がクランプされてしまうからである。

【0005】現在、公知となっている駆動回路には、大別して二種あり、これらを【図10】と【図11】に示す。【図10】の駆動回路6は、通常のCMOS駆動回路にマイナス電圧を分離するためのPMOSトランスファゲート7を接続したものであり、書き込み時と読みだし時は、PMOSのソース8を $V_{pp}$ と $V_{cc}$ とに切り換える。【図11】の駆動回路は、【図12】に構造の断面図を示す様に、3層ウェルを用い、消去時には、NMOSのソースをPウェルごとマイナスに振込んでしまう方式である。

【0006】従来の2方式とも一長一短ある。すなわち、【図10】の方法はワード線一本一本ごとに $-V_{ee}$ を印加できるため、ワード線単位での消去が可能である。この事は動作上フレキシビリティがあることは無論であるが、冗長ワード線が1本単位で独立に形成できるため、不良ワード線が存在していた場合、そのワード線を比較的容易に冗長ワード線とおきかえられる。他方、書き込み時の状態を考えると、分離用のPMOSのNウェルは、 $V_{pp}$ にバイアスされることになるため、このトランジスタのしきい値は、バックゲート効果により、通常PMOSのしきい値が、1.5V程度なのに対し、4V程度にも達する。すなわち、非選択ワード線の電圧を0Vに設定するためには、このPMOSのゲートに $-4V$ を印加しなければならない。このことは、このPMOSを、 $V_{pp}+4V$ の高電圧に耐えるよう形成しなければならないことを意味し、酸化膜をその他のMOSより厚く、ゲート長を長くする必要がある。これは、工程の著しい増加と面積の増加を招く。読みだし時においても、非選択線を0Vにするには、分離用PMOSのゲート電圧は、バックゲート効果により、 $-2.5V$ 程度必要である。Chipがスタンバイ時この電圧を維持しておかないと、enableになった時負に引き始めることになるので読みだし時間が著しく長くなる。すなわち、スタンバイ時の電流の消費を認めるか、enableに切替わったときのスピードを許容するかの二者択一をしなければならない。

【0007】無論、工程を増やし、PMOS7をデプレッション型（しきい値、 $-2.5V$ 程度のノーマリオン型）で形成し、書き込み時、PMOSのゲートが0Vでも導通状態であるようにすることは可能である。このようにすれば、スタンバイの問題は回避できる。しかし、消去時はこのPMOSをオフしなければならない、耐圧的にはやはり $V_{ee}+4V$ 程度は必要となってしま

【0008】これに対して、【図11】の方法は、この

耐圧の問題は回避できる。しかし、ウェル間の分離は集積度を非常に落とすため実質不可能であるため、ワード線一本ごとに $-V_{ee}$ を印加することは出来ず、冗長ワード線の採用も難しい。また、3層ウェルによる工程増加、3層のウェルのデザインルールによるワードライン駆動回路の面積増加も無視できない。

【0009】

【発明が解決しようとする課題】上記したように、従来のワード線駆動回路は、耐圧の高いトランジスタが必要になるという欠点、スタンバイ時からの立上がりに時間がかかるという欠点、冗長ワード線の採用が難しいという欠点があった。

【0010】本発明は、上記欠点を除去し、分離用の高耐圧トランジスタを必要とせず、スタンバイ時からの立上がりが速く、冗長ワード線の採用が容易なワード線駆動回路を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するために、入力端子とワード線に接続された出力端子とを有するワード線駆動回路において、ソースが第1の電位にゲートが前記入力端子にドレインが前記出力端子に接続されたPMOSTランジスタと、ソースが第2の電位にゲートが前記入力端子に接続されたNMOSTランジスタと、カソードが前記NMOSTランジスタのドレインにアノードが前記出力端子に接続されたダイオードと、前記出力端子を負電位に駆動する回路とを具備することを特徴とするワード線駆動回路を提供する。また、前記ダイオードがショットキーバリアダイオードであることを特徴とするワード線駆動回路を提供する。

【0012】

【作用】本発明で提供する手段を用いると、ワード線が負電位に駆動されてもダイオードが逆方向にバイアスされるためNMOSTランジスタのドレインがP型基板に対して逆バイアスされることがない。また、同様の理由で高耐圧トランジスタを必要としない。さらに、読出時に負電圧を印加する必要がないのでスタンバイ時からの立上がりは問題にならない。また、Pウェルを用いないので高集積化が可能であり、冗長ワード線の採用が容易である。

【0013】

【実施例】本発明の駆動回路の動作を〔図1〕の回路図に従って説明する。まず、読みだし時は、PMOSのソース9に $V_{cc}$ を印加する。もし、入力信号10が、“L”ならば、出力は、PMOSがON、NMOSがOFFするため、 $V_{cc}$ の電位となり、ワード線は選択状態となる。もし、入力信号10が、“H”ならば、PMOSがOFF、NMOSがONとなって、出力は、 $V_f$ となる。ここで、 $V_f$ は、ダイオードの順方向の電圧降下値で、通常0.6V~0.8Vの値をとる。ここで、データ“1”のセルのしきい値がすべて $V_f$ 以上に

設定されていれば、このワード線電位では、すべてのセルがOFF、すなわち、非選択状態に実現できる。書き込み状態では、PMOSのソース電位9は、書き込み高電圧 $V_{pp}$ に設定される。読み込み動作と同様の原理に従って、選択状態のワード線電位、 $V_{pp}$ 、非選択状態のワード線電位 $V_f$ が実現できる。一方消去状態において、ワード線を負に振込もうとした場合には、ダイオードが逆バイアスになるために、NMOSのドレインと負電位発生回路は完全に分離される。したがって、ドレイン-基板間の寄生ダイオードの影響を受けることなくワード線の負電位状態が実現できる。

【0014】〔図2〕に本回路を構成するNMOSの断面図を、〔図3〕に示す通常のCMOS駆動回路のNMOSと対比させて示す。駆動回路を構成するトランジスタは、高電圧を制御するため高耐圧を必要とする。従って、これらMOSトランジスタは、図示の様に、そのドレイン側に低濃度部分をもつLDD(Lightly Doped Drain)構造をとっている。通常構造では、この低濃度部分からは、直接オーミックなコンタクトをとることが出来ないため、高濃度部分を形成しそこからコンタクトをとっている。〔図2〕に示す本発明においては、NMOSのこの高濃度部分を従来の $N^+$ ではなく、P型で形成すればよい。この様にすると容易に本発明の回路は実現されるので、駆動回路部分に関する限りは、集積度の増加要因は、ほとんどないと言える。

【0015】ところで、〔図2〕に示す構造を採用すると、 $V_f$ の値は0.8V程度になる。既述のように、非選択時のワード線が $V_f$ であるから、すべてのセルのしきい値は $V_f$ 以上に設定する必要がある。このため、 $V_f$ の値としては、“1”側のセルのしきい値制御が容易になるため望ましい。また、〔図2〕に示す構造では、ダイオードのアノードをエミッタとし、NMOSのドレインをベースとする寄生のPNPトランジスタが形成されてしまい、ダイオードに電流が流れた瞬間、このトランジスタがONして、基板に電流が流れる。このため基板のコンタクトをこの駆動回路のまわりにしっかりととっておく必要がある。これは、駆動回路の面積の増加要因になりうる。

【0016】そこで、本発明の他の実施例として、〔図4〕に回路図、〔図5〕に断面構造の一部を示したショットキーバリアダイオード(SBD)を用いた例を示す。SBDは、 $V_f$ がPN接合より低い。例えば、A1を直接、 $N^+$ 拡散層にコンタクトした場合は、0.5V程度の値となるが、A1電極11と拡散層の間に高融点金属12を挿入した場合は、その金属特有の $V_f$ が得られる。例えば、A1と $N^+$ の間に、図示のようにPtSiを挿入したショットキー接合の場合は、 $V_f$ は0.3V程度の値を得ることができる。この、ショットキー接合を用いれば、PN接合と異なり、マイノリティキャリアの注入がないので、寄生のバイポーラトランジスタが

形成されない。さらに、[図2]、[図3]に示すような、高濃度拡散層とコンタクト領域の間のマージン13、14を見込む必要がないため、集積度は、[図2]に示した構造よりあがることになる。

【0017】集積度を多少譲れば、より安定したショットキー接合を形成することも可能である。第七図にその断面構造を示す。ショットキー接合領域は、P<sup>+</sup> 拡散層のガードリングで囲まれている。ショットキー接合のV<sub>f</sub>は、PN接合のV<sub>f</sub>より低いため、電流はP<sup>+</sup> 拡散層のガードリングの中を流れる。したがって、ショットキー接合において、不安定さの要因となるコンタクトホール端の効果を回避することができる。なお、負電位を個々のワード線ごとに行うには、例えば、[図7]の回路15が考えられ、クロック信号の与えられるワード線のみ負電位となる。

【0018】非選択ワード線がV<sub>f</sub>であることは、しきい値制御という観点からは問題ではあるが、単一、あるいは、ブロック単位での消去を考えた場合には、逆に有利に働く。[図8]を用いてこれを説明する。[図8]は、本発明の駆動回路が、実際のセルの接続されているワード線16、17、18を駆動しているところを示している。セルのドレインは、列方向にビット線19、20と各々独立して接続されているが、ソース線21は共通である。今、ワード線18に接続されるセルを消去しようとする、例えば、ソースにV<sub>cc</sub>、ワード線18に-V<sub>ee</sub>を印加する。この時、本来データが消去されてはいけなワード線16、17に接続されたセルのソースにもV<sub>cc</sub>が印加されている。このストレスは、一回では問題にならない量のトンネル電流しか流し得ないが、書換回数を10<sup>5</sup> ~ 10<sup>6</sup> 回と増加してゆくと問題になってくる。しかし、本発明の駆動回路を用いれば、非選択線の制御ゲートが、V<sub>f</sub>だけ上がっているため、ソース間の電位差は、V<sub>cc</sub>からV<sub>cc</sub>-V<sub>f</sub>へと緩和されていることがわかる。このため、ストレスを緩和するための特別な回路を必要としない。

【0019】以上説明してきたように、本発明で提供するフラッシュEEPROMのワード線駆動回路は、ワード線が負電位に駆動されてもダイオードが逆方向にバイアスされるためNMOSトランジスタのドレインがP型基板に対して逆バイアスされることがない。また、同様\*

\*の理由で分離用の高耐圧トランジスタを必要としない。さらに、読出時に負電圧を印加する必要がないのでスタンバイ時からの立上がりは問題にならない。また、Pウェルを用いないので高集積化が可能であり、冗長ワード線の採用が容易である。

【0020】

【発明の効果】本発明を用いると、分離用の高耐圧トランジスタを必要とせず、スタンバイ時からの立上がりが速く、冗長ワード線の採用が容易なワード線駆動回路を提供できる。

【図面の簡単な説明】

【図1】本発明の実施例を表した回路図。

【図2】本発明の実施例を表した断面図。

【図3】従来例を表した断面図。

【図4】本発明の他の実施例を表した回路図。

【図5】本発明の他の実施例を表した断面図。

【図6】本発明の他の実施例を表した断面図。

【図7】負電位発生回路。

【図8】本発明実施例を表した回路図。

【図9】従来例を表した断面図。

【図10】従来例を表した回路図。

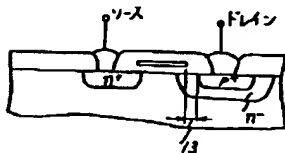
【図11】従来例を表した回路図。

【図12】従来例を表した断面図。

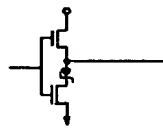
【符号の説明】

- 1 制御ゲート
- 2 ドレイン
- 3 浮遊ゲート
- 4 ソース
- 5 第1ゲート酸化膜
- 6 駆動回路
- 7 トランスファゲート
- 8, 9 ソース
- 10 入力信号
- 11 A1電極
- 12 高融点金属
- 13, 14 マージン
- 15 負電位発生回路
- 16, 17, 18 ワード線
- 19, 20 ビット線
- 21 ソース線

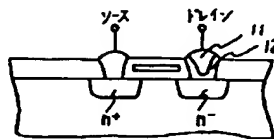
【図2】



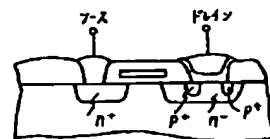
【図4】



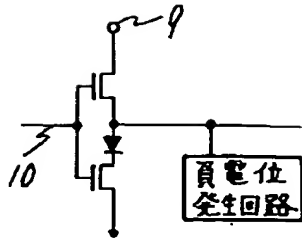
【図5】



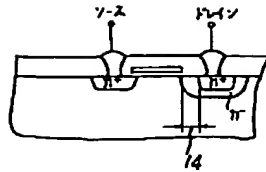
【図6】



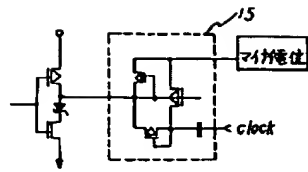
【図1】



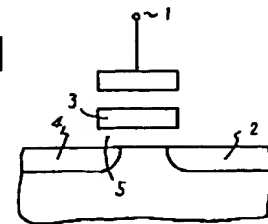
【図3】



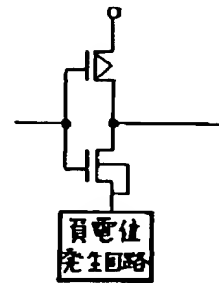
【図7】



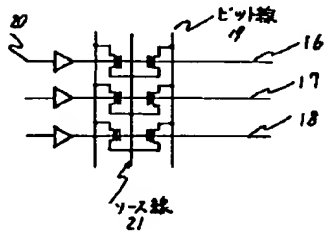
【図9】



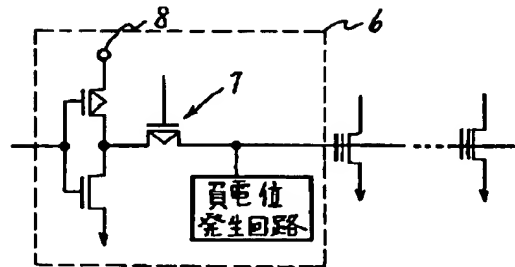
【図11】



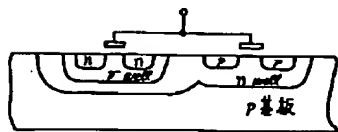
【図8】



【図10】



【図12】



フロントページの続き

(51)Int.Cl.<sup>5</sup>  
H01L 29/788  
29/792

識別記号

片内整理番号

F I

技術表示箇所